

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表平11-500883

(43)公表日 平成11年(1999)1月19日

(51)Int.Cl.⁶

H 03 F 3/45
3/68

識別記号

F I

H 03 F 3/45
3/68

Z
B

審査請求 未請求 予備審査請求 未請求(全 13 頁)

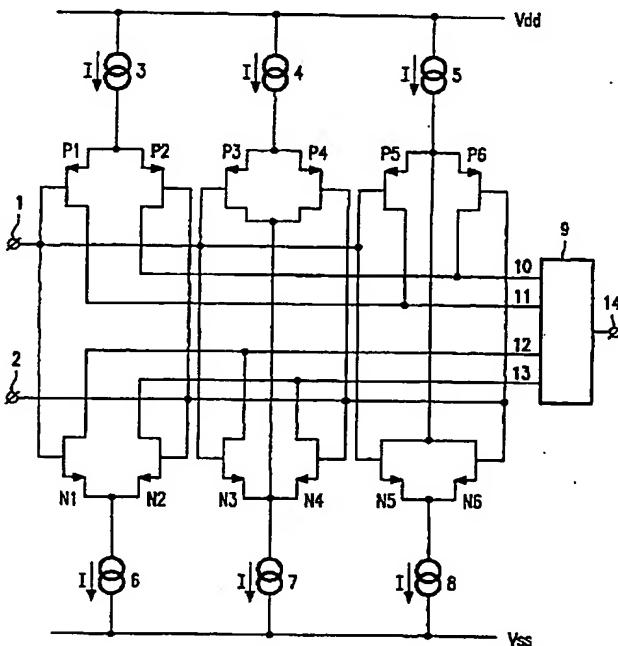
(21)出願番号 特願平9-508259
(86) (22)出願日 平成8年(1996)7月26日
(85)翻訳文提出日 平成9年(1997)4月4日
(86)国際出願番号 PCT/IB96/00751
(87)国際公開番号 WO97/06595
(87)国際公開日 平成9年(1997)2月20日
(31)優先権主張番号 9516025.5
(32)優先日 1995年8月4日
(33)優先権主張国 イギリス(GB)
(81)指定国 EP(AT, BE, CH, DE,
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

(71)出願人 フィリップス エレクトロニクス ネムロ
ーゼ フェンノートシャップ
オランダ国 5621 ベーー アンドー
フェン フルーネヴァウツウェッハ 1
(72)発明者 レッドマン-ホワイト ウィリアム
イギリス国 ハンツ エス05 6アールエ
イチ ウエスト ウエロー ゴード ク
ローズ 5
(74)代理人 弁理士 杉村 暁秀 (外6名)

(54)【発明の名称】 増幅器

(57)【要約】

増幅器、特にCMOS増幅器は6個の差動対(P1/P2, P3/P4, P5/P6, N1/N2, N3/N4, N5/N6)に信号供給する差動入力端(1, 2)を有する。第1差動対(P1/P2)及び第3差動対(P5/P6)の出力は合成されて加算回路網(9)の入力端(10, 11)に供給され、第4差動対(N1/N2)及び第5差動対(N3/N4)の出力も合成されて加算回路網(9)の入力端(12/13)に供給される。第2差動対(P3/P4)及び第6差動対(N5/N6)は、すべての差動対が能動状態にある場合に、それぞれ第5差動対(N3/N4)及び第3差動対(P5/P6)のテール電流を無効にするように構成する。



BEST AVAILABLE COPY

【特許請求の範囲】

1. 差動入力手段と、第1導電型の能動装置より成る複数の差動対と、第2導電型の能動装置より成る複数の差動対と、前記差動入力手段を前記差動対の入力端に接続する手段と、前記差動対の出力を合成する手段とを具える増幅器において

第1導電型の能動装置と第2導電型の能動装置との寸法を適切に選択することにより、入力信号のあらゆる値に対し、能動装置寸法が合計で同じである差動対に合計で同じテール電流が流れるようにしたことを特徴とする増幅器。

2. 差動入力手段と、第1，第2及び第3テール電流をそれぞれ有する第1導電型の能動装置の第1，第2及び第3差動対と、第4，第5及び第6テール電流をそれぞれ有する第2導電型の能動装置の第4，第5及び第6差動対とを具える差動増幅器において、

各差動対の入力端が差動増幅器の入力端に結合され、第1，第3，第4及び第5差動対の出力端が加算回路網の入力端に結合され、この加算回路網の出力端が差動増幅器の出力端に結合され、第2差動対の出力端が第5差動対のテールに共通接続され、第6差動対の出力端が第3差動対のテールに共通接続され、第2差動対のテール電流が第5差動対のテール電流に等しく、第3差動対のテール電流が第6差動対のテール電流に等しくなるようになっていることを特徴とする差動増幅器。

3. 請求の範囲2に記載の差動増幅器において、すべてのテール電流が等しく、第1導電型の能動装置すべてが同一であり、第2導電型の能動装置すべてが同一であり、第1導電型の能動装置の相互コンダクタンスが第2導電型の能動装置の相互コンダクタンスに等しいことを特徴とする差動増幅器。

4. 請求の範囲1～3のいずれか一項に記載の増幅器において、第1導電型の能動装置がpチャネルMOSトランジスタであり、第2導電型の能動装置がnチャネルMOSトランジスタであることを特徴とする増幅器。

5. 請求の範囲4に記載の増幅器において、すべてのpチャネルトランジスタが同一であり、すべてのnチャネルトランジスタが同一であり、これらトランジ

スタは、pチャネルトランジスタがnチャネルトランジスタと同じ公称相互コンダクタンスを有し、第3差動対のテール電流が第1及び第5差動対の合成テール電流の半分に等しく、第4差動対のテール電流が第2及び第6差動対の合成テール電流の半分に等しくなるように構成されていることを特徴とする増幅器。

6. 第1，第2及び第3テール電流をそれぞれ有する第1導電型の能動装置の第1，第2及び第3差動対と、第4，第5及び第6テール電流をそれぞれ有する第2導電型の能動装置の第4，第5及び第6差動対とを具える請求の範囲1に記載の差動増幅器において、

各差動対の入力端が差動増幅器の入力端に結合され、第1，第3，第4及び第5差動対の出力端が加算回路網の入力端に結合され、この加算回路網の出力端が差動増幅器の出力端に結合され、第2差動対の出力端が第5差動対のテールに共通接続され、第6差動対の出力端が第3差動対のテールに共通接続され、第2差動対のテール電流が第5差動対のテール電流に等しく、第3差動対のテール電流が第6差動対のテール電流に等しくなるようになっていることを特徴とする差動増幅器。

7. ほぼ添付図面につき説明した通りの増幅器。

8. 請求の範囲1～7のいずれか一項に記載の発明と同じ発明であるか否かにかかわらず、明細書に明示的に又は暗黙的に開示された新規事項のいずれか又はこれら新規事項の新規な組合せ。

【発明の詳細な説明】

増幅器

本発明は増幅器に関し、特に、互いに反対の導電型の第1及び第2差動対を有する増幅器の入力構造に関するものである。

低電源電圧で動作する回路、特にCMOS回路において良好なアナログ動作を得る回路アーキテクチャの必要性が高まってきている。最近のサブミクロン処理は公称電源電圧として3.3ボルトを要求している。殆どの増幅器の構造の場合、この要求にある問題がある。通常の差動対入力は、増幅トランジスタ及びテール電流源を能動状態にするのに充分に電源ライン電圧の一方からオフセットした同相モードでのみ動作しうる。このことは、MOSトランジスタの場合一方の電源ライン電圧(p チャネル入力の場合 V_{dd} 又は n チャネル入力の場合 V_{ss})から最少で $V_T + 2 V_{d_{sat}}$ のオフセットを必要とすることを意味する。これにより、信号対雑音比を良好に維持するために信号電圧を理想的には大きく保つ必要があるという厳しい条件をシステム設計に課す。

提案されている1つの解決策は、1つの p チャネル差動対と1つの n チャネル差動対との2つの差動対を用い、これらを信号方向で並列に接続することである。これを達成するために、この2つの差動対のゲートが単に入力端に接続され、得られた出力電流を加算するのにフォールデッド(folded)カスコード増幅器構造又はこれに類似する構造を用いている。従って、同相モードの入力信号値が低いと、 n チャネル差動対がターン・オフされるも、信号は p チャネル差動対のために存在する。同相モードの入力信号値が V_{dd} に近づくと、逆の状態が生じる。入力信号値が $V_{dd}/2$ に近づくと、双方の差動対が信号電流を加算回路に供給する。このような回路構成は、1994年12月発行のIEEE Journal of Solid State Circuits, Vol. 29, No. 12の論文“A compact power efficient 3V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries”(R. Hogervorst, J. R. Tero, R. G. H. Eschauzier 及び J. H. Huijsing 氏著)に開示されている。

この基本的着想には2つの問題点がある。第1の問題点としては、回路段の小

さな実効信号相互コンダクタンスが入力信号の同相モード値に応じて変化するということが分る。両極端では相互コンダクタンスが中間領域における相互コンダクタンスの2分の1となる。これは、各電源ライン電圧付近の領域では装置の一方の差動対のみしか能動状態とならない為である。これにより回路の有用性に影響を及ぼす。その理由は、回路をトランスクンダクタとして用いた場合、比例度合が信号値に応じて変化し、回路を演算増幅器として用いた場合、閉ループを安定させる補償システムが良好に規定されず位相マージンが信号レベルに依存するという問題が生じる為である。

第2の問題は大信号動作に関するものである。差動入力信号が大きいと、通常良好に規定された最大電流が通常の差動対から生じ、これにより増幅器のスルーレートや、シングルエンド電流積分器（代表的にはCMOSインバータ）を駆動するのにトランスクンダクタがしばしば用いられている比較器の応答時間を設定する。簡単な二重差動対では共通モード入力が各電源ライン電圧に近づくとその最大スルーレートは I となる（ここに I は各差動対のテール電流である）。その理由は反対側のテール電流源がターン・オフする為である。双方の差動対が能動状態となった場合の中間領域では、最大スルーレート電流は $2I$ となる。

前記の論文でHogervorst氏等により提案された回路構造によれば以下のようにして g_m を比較的一定にしている。バイアスが適切である場合、MOSトランジスタの g_m はそのドレイン電流の平方根に比例する為、一方のみの差動対が能動状態となった際の合計の g_m の損失は、能動状態の差動対を流れる電流を $4:1$ の割合で高めることにより、すなわちその g_m を2倍にすることにより補償することができる。この補償は各差動対の電流を検出する2つの制御ループにより達成される。各差動対に対するスイッチ・オフ点は電流検出回路により検出され、不使用テール電流が乗算用の電流ミラー回路に供給される。次にこのミラー回路が能動状態にある反対側の差動対に $3I$ の追加の電流を供給する。

これにより相互コンダクタンスを良好に制御するも、2つの問題が依然として残る。第1に、スリーリングのために得られる全電流が依然として一定にならず、同相モードの入力信号が電源ライン電圧に近づくと2倍に増大する。第2に、制

御システムは帯域幅が固有的に制御されている電流ミラー回路を有するループに電流を流す必要があり、これにより、処理しうる同相モード信号の周波数を制限する。

本発明の目的は、低電源電圧に対し用いることができ、上述した問題点の1つ以上による影響を軽減しうる増幅器を製造しうるようにすることにある。

本発明は、差動入力手段と、第1導電型の能動装置より成る複数の差動対と、第2導電型の能動装置より成る複数の差動対と、前記差動入力手段を前記差動対の入力端に接続する手段と、前記差動対の出力を合成する手段とを具える増幅器において、

第1導電型の能動装置と第2導電型の能動装置との寸法を適切に選択することにより、入力信号のあらゆる値に対し、能動装置寸法が合計で同じである差動対に合計で同じテール電流が流れるようにしたことを特徴とする。

合計で同じテール電流が同じ有効寸法の差動対を流れることにより、ほぼ一定の g_m 及びスルーレートを入力信号の全電流範囲に亘って達成することができる。当業者にとって明らかなように、MOSトランジスタを能動装置として用いると、p及びnチャネル装置の寸法を、装置パラメータが同じとなるように、すなわち実際の寸法が異なっても相互コンダクタンスが等しくなるように設定する必要がある。

本発明は更に差動入力手段と、第1、第2及び第3テール電流をそれぞれ有する第1導電型の能動装置の第1、第2及び第3差動対と、第4、第5及び第6テール電流をそれぞれ有する第2導電型の能動装置の第4、第5及び第6差動対とを具える差動増幅器において、

各差動対の入力端が差動増幅器の入力端に結合され、第1、第3、第4及び第5差動対の出力端が加算回路網の入力端に結合され、この加算回路網の出力端が差動増幅器の出力端に結合され、第2差動対の出力端が第5差動対のテールに共通接続され、第6差動対の出力端が第3差動対のテールに共通接続され、第2差動対のテール電流が第5差動対のテール電流に等しく、第3差動対のテール電流が第6差動対のテール電流に等しくなるようになっていることを特徴とする。

第1、第3、第4及び第6差動対の作動により、双方の導電型の装置が能動状

態にあるかどうかや一方の導電型の装置が遮断状態にあるかどうかにかかわらず大信号出力電流及び合計の相互コンダクタンスをほぼ一定に保つ。これは電流ミラー回路を用いることなく、フィードフォワード技術により達成され、従って安定性の問題及び帯域幅の問題を軽減させる。

実際例では、能動装置を p チャネル及び n チャネルMOS トランジスタとする。すべての p チャネルトランジスタが同一で、すべての n チャネルトランジスタが同一で、これらトランジスタは p チャネルトランジスタが n チャネルトランジスタと同じ公称相互コンダクタンスを有するように構成し、第 3 差動対のテール電流は第 6 差動対のテール電流と等しく、第 5 差動対のテール電流は第 2 差動対のテール電流と等しくなるように増幅器を構成することができる。

このような構成によれば、同相モード入力電圧が変化するのに応じて、出力に寄与する能動装置を規定通りに良好に変えうる便利な設計をもたらす。必要とする全体の特性に応じて、トランジスタ対のテール電流又は相互コンダクタンスを等しくしないようにすることができる。この場合、増幅器の相互コンダクタンス又はスルーレート特性を所定の分野にとって最適となるようにしうる。

本発明の上述した特徴及びその他の特徴や利点は図面を参照した本発明の実施例に関する以下の説明から明らかとなるであろう。図面は本発明による増幅器の回路図を示す。

図に示すように、この増幅器は、 p チャネル電界効果トランジスタ P 1～P 6 の 3 つの差動対と、 n チャネルトランジスタ N 1～N 6 の 3 つの差動対とを有する。トランジスタ P 1, P 3, P 5, N 1, N 3 及び N 5 のゲート電極には第 1 入力端 1 が接続され、トランジスタ P 2, P 4, P 6, N 2, N 4 及び N 6 のゲート電極には第 2 入力端 2 が接続されている。トランジスタ P 1 及び P 2 のソース電極は電流源 3 を介して電源ライン V_{dd} に接続され、トランジスタ P 3 及び P 4 のソース電極は電流源 4 を介して電源ライン V_{dd} に接続され、トランジスタ P 5 及び P 6 のソース電極は電流源 5 を介して電源ライン V_{dd} に接続されている。同様に、トランジスタ N 1 及び N 2 のソース電極は電流源 6 を介して電源ライン V_{ss} に接続され、トランジスタ N 3 及び N 4 のソース電極は電流源 7 を介して電源ライン V_{ss} に接続され、トランジスタ N 5 及び N 6 のソース電極は電流源 8 を

介して電源ライン V_{ss} に接続されている。トランジスタ P 3 及び P 4 のドレイン電極はトランジスタ N 3 及び N 4 のソース電極の相互接続点に接続され、トランジスタ N 5 及び N 6 のドレイン電極はトランジスタ P 5 及び P 6 のソース電極の相互接続点に接続されている。加算回路網 9 は 4 つの入力端 10, 11, 12 及び 13 を有する。トランジスタ P 2 及び P 6 のドレイン電極は入力端 10 に接続され、トランジスタ P 1 及び P 5 のドレイン電極は入力端 11 に接続され、トランジスタ N 1 及び N 3 のドレイン電極は入力端 12 に接続され、トランジスタ N 2 及び N 4 のドレイン電極は入力端 13 に接続されている。加算回路網 9 の出力端は増幅器の出力端 14 に接続されている。電流源 3 ~ 8 の各々は電流 I を通す。

n チャネルトランジスタはすべて、p チャネルトランジスタのすべてと同様に等しい寸法をしている。n 及び p チャネル装置の幅及び長さは同じ電流で同じ g_m が得られるような寸法となっている。

n チャネル装置と p チャネル装置との双方が出力に寄与する同相モード入力の中間領域では、トランジスタ N 1 及び N 2 の出力が加算回路網 9 においてトランジスタ P 1 及び P 2 の出力と加算される。トランジスタ N 1 及び N 2 と並列に接続されているトランジスタ N 3 及び N 4 のテール電流はトランジスタ P 3 及び P 4 から生じる。従って、トランジスタ N 3 及び N 4 は出力に寄与しない。その理由は、これらトランジスタ N 3 及び N 4 にはテール電流が流れないとある。同様に、トランジスタ P 1 及び P 2 と並列にトランジスタ P 5 及び P 6 が接続されている。しかし、トランジスタ P 5 及び P 6 からのテール電流はトランジスタ N 5 及び N 6 から生ぜしめられ、これらトランジスタ P 5 及び P 6 をターン・オフさせる。従って、トランジスタ P 1, P 2, N 1 及び N 2 のみが各対のテール電流 I を以って出力に寄与し、加算された合計のテール電流は $2 \times I$ となる。

今、同相モード入力レベルが V_{dd} に近づくと、トランジスタ P 1, P 2, P 3 及び P 4 がトランジスタ P 5 及び P 6 と同様にターン・オフされる。その結果、トランジスタ P 1, P 2, P 3 及び P 4 と関連するテール電流源が消滅し、従つてトランジスタ N 3 及び N 4 からのテール電流はそれることなく、これらが出力に寄与する。トランジスタ P 5 及び P 6 と関連する電流源はオフとならず、依然

としてトランジスタN5及びN6を流れる電流を生じる。従って、合計の出力は

トランジスタN1及びN2とトランジスタN3及びN4とによるものであり、各対はテール電流Iで動作する。

同相モード入力信号が V_{ss} に近づいた状態では、トランジスタN1～N6がオフとなり、トランジスタN1, N2, N5及びN6に給電する電流源が消滅する。従って、トランジスタP5及びP6から流れる電流はそれることなく、これらが出力に寄与する。トランジスタN3及びN4と関連する電流源は有効状態を保っている為、合計の出力はトランジスタ対P1及びP2とトランジスタ対P5及びP6とによるものとなり、各対がテール電流Iで動作する。

要するに、入力電圧が電源ライン電圧 V_{dd} に近づくと、2つのトランジスタ対、すなわちトランジスタ対N1及びN2とトランジスタ対N3及びN4とが出力を生じ、各トランジスタ対はテール電流Iを有する。入力信号が電源ライン電圧 V_{ss} に近づくと、2つのトランジスタ対P1, P2及びP5, P6が出力に寄与し、各トランジスタ対がテール電流Iを有する。入力信号が2つの電源ライン電圧 V_{dd} 及び V_{ss} の中間にあると、2つのトランジスタ対、この場合トランジスタ対N1及びN2とトランジスタ対P1及びP2とが出力に寄与する。従って、あらゆる場合に、各トランジスタが同じ公称相互コンダクタンス及び同じテール電流を有する同じ個数のトランジスタが出力に寄与する。その結果、増幅器はほぼ一定の g_m 及びスルーレートを有する。

加算回路網は通常のいかなる形態のものにもすることができます。適切な加算回路網は前述したHogervorst氏等の論文に開示されている、フォールディング回路と電流ミラー回路との複合回路である。

電流源6及び7を組合わせて電流2Iを有する1つの電流源にすることができる。同様に、電流源3及び5を組合わせて1つの電流源にすることができる。本例に示す増幅装置としてMOS電界効果トランジスタを用いる場合には特にこのようにする。すべての電流源3～8に同じ電流Iを流すようにすることは必ずしも必要でない。例えば、電流源3, 4及び7に電流2Iを流し、電流源5, 6及び8に電流Iを流すことができる。この場合、出力に寄与する全テール電流は3

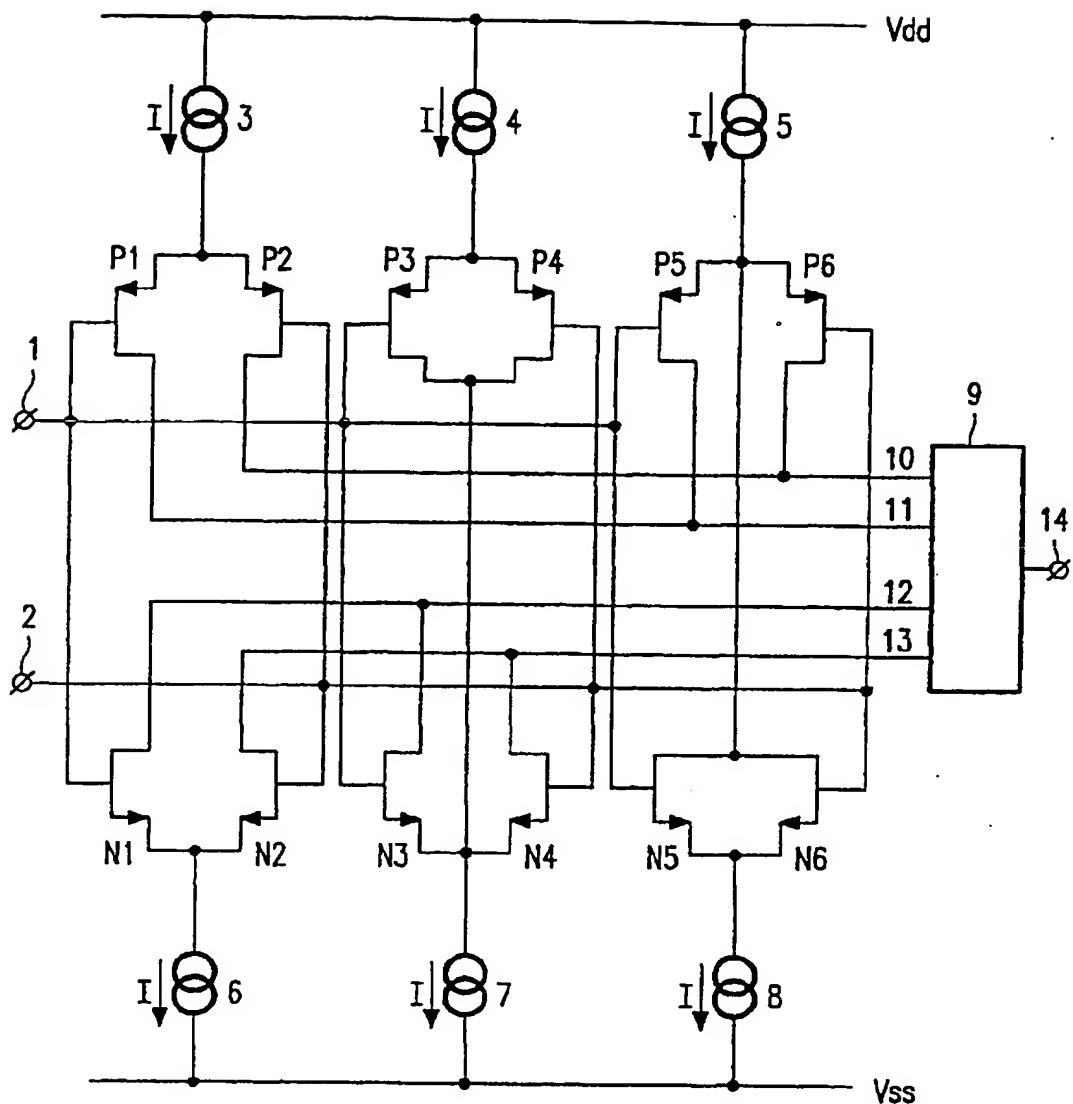
Iとなる。

上述した実施例では、pチャネル及びnチャネルのMOS型電界効果トランジ

スタを用いているが、相補的な能動装置のいかなる対をも用いることができる。例えば、MESFET又はバイポーラトランジスタを用いることができる。後者の場合、実施例に示すように別々の電流源を用いて、電流源トランジスタが飽和した際の電流ホギングを回避するようにするのが好ましい。

上述したところから、その他の変形が当業者にとってあきらかとなるであろう。これらの変形には、設計上で既に知られている他の特徴や、上述した特徴の代りに又はこれに加えて用いられる電気又は電子回路やその構成部品の使用を含むものである。この出願では、特徴事項の特定の組合せに関し、請求の範囲で成文化したが、本出願の開示の範囲には、ここに明示的に又は暗黙的に開示されているいかなる新規な特徴又はこれら特徴のいかなる新規な組合せをも含むべきであり、或いは当業者にとって明らかな特徴の1つ又は複数をも、これが請求の範囲に述べたのと同じ発明に関するかどうか或いは本発明と同じ技術問題のいずれか又は全部を軽減するかどうかにかかわらず含むものである。

【図1】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/00751

A. CLASSIFICATION OF SUBJECT MATTER		
IPC6: H03F 3/30, H03F 3/45 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: H03F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched SE, DK, FI, NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
EDOC, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0259879 A2 (NEC CORPORATION), 16 March 1988 (16.03.88), abstract --	1
A	IEEE JOURNAL OF SOLID-STATE CIRCUITS, Volume 29, No 12, December 1994, Ron Hogervorst et al, "A Compact Power-Efficient 3 V CMOS Rail-to Rail Input/Output Operational Amplifier for VLSI Cell Libraries", cited in the application --	1
A	EP 0597420 A1 (NEC CORPORATION), 18 May 1994 (18.05.94), see whole document -----	1
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 11 February 1997		Date of mailing of the international search report 12 -02- 1997
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Bo Gustavsson Telephone No. +46 8 782 25 00

INTERNATIONAL SEARCH REPORT
Information on patent family members

28/10/96

 International application No.
PCT/IB 96/00751

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
EP-A2- 0259879	16/03/88	CA-A-	1260080	26/09/89
		DE-D,T-	3751661	05/09/96
		JP-A-	63067905	26/03/88
		US-A-	4766394	23/08/88
		JP-B-	6028323	13/04/94
		JP-A-	63067906	26/03/88
		JP-B-	6030416	20/04/94
		JP-A-	63133708	06/06/88
EP-A1- 0597420	18/05/94	CA-A,C-	2102661	10/05/94
		JP-A-	6152275	31/05/94
		JP-B-	7093544	09/10/95
		US-A-	5381113	10/01/95

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

1. Difference Input Means and Two or More Differential Pairs Which Consist of Active Equipment of 1st Conductivity Type, In amplifier equipped with two or more differential pairs which consist of the active equipment of the 2nd conductivity type, a means to connect said difference input means to the input edge of said differential pair, and a means to compound the output of said differential pair Amplifier characterized by making it the tail current with the active equipment dimension same in total to the differential pair same in total flow to all the values of an input signal by choosing appropriately the dimension of the active equipment of the 1st conductivity type, and the active equipment of the 2nd conductivity type.
2. Difference Input Means and 1st, 2nd, and 3rd Differential Pair of Active Equipment of 1st Conductivity Type Which Has 1st, 2nd, and 3rd Tail Current, Respectively, In the differential amplifier equipped with the 4th, 5th, and 6th differential pair of the active equipment of the 2nd conductivity type which has the 4th, 5th, and 6th tail current, respectively The input edge of each differential pair is combined with the input edge of the differential amplifier, and the outgoing end of the 1st, 3rd, 4th, and 5th differential pair is combined with the input edge of a summing network. The outgoing end of this summing network is combined with the outgoing end of the differential amplifier, and common connection of the outgoing end of the 2nd differential pair is made at the tail of the 5th differential pair. Differential amplifier which common connection of the outgoing end of the 6th differential pair is made at the tail of the 3rd differential pair, and is characterized by the tail current of the 2nd differential pair being equal to the tail current of the 5th differential pair, and becoming equal to the tail current of the 6th differential pair [current / of the 3rd differential pair / tail].
3. Differential amplifier characterized by all tail currents being equal, all active equipments of the 1st conductivity type being the same, all active equipments of the 2nd conductivity type being the same, and mutual conductance of active equipment of the 1st conductivity type being equal to mutual conductance of active equipment of the 2nd conductivity type in differential amplifier given in claim 2.
4. Amplifier characterized by for active equipment of the 1st conductivity type being p channel MOS transistor, and active equipment of the 2nd conductivity type being n channel MOS transistor in amplifier given in any 1 term of claims 1-3.

In Amplifier Given in Claim 4, All P Channel Transistors are the Same and All N Channel Transistors are the Same. 5. These Transistors It has the nominal mutual conductance as an n channel transistor with the same p channel transistor. Amplifier characterized by being constituted so that the tail current of the 3rd differential pair may be equal to the one half of the synthetic tail current of the 1st and 5th differential pair and the tail current of the 4th differential pair may become equal to the one half of the synthetic tail current of the 2nd and 6th differential

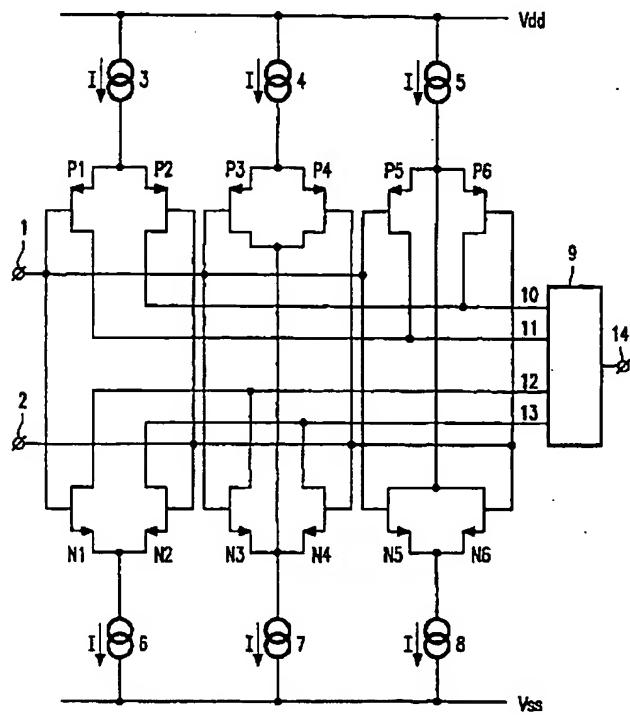
pair.

6. 1st, 2nd, and 3rd Differential Pair of Active Equipment of 1st Conductivity Type Which Has 1st, 2nd, and 3rd Tail Current, Respectively, In the differential amplifier given in the claim 1 equipped with the 4th, 5th, and 6th differential pair of the active equipment of the 2nd conductivity type which has the 4th, 5th, and 6th tail current, respectively The input edge of each differential pair is combined with the input edge of the differential amplifier, and the outgoing end of the 1st, 3rd, 4th, and 5th differential pair is combined with the input edge of a summing network. The outgoing end of this summing network is combined with the outgoing end of the differential amplifier, and common connection of the outgoing end of the 2nd differential pair is made at the tail of the 5th differential pair. Differential amplifier which common connection of the outgoing end of the 6th differential pair is made at the tail of the 3rd differential pair, and is characterized by the tail current of the 2nd differential pair being equal to the tail current of the 5th differential pair, and becoming equal to the tail current of the 6th differential pair [current / of the 3rd differential pair / tail].

7. Amplifier as mostly explained per accompanying drawing.

8. irrespective of whether they are invention given in any 1 term of claims 1-7, and the same invention, either of the new matters indicated clearly or implicitly by the specification or these new matters are new -- put together.

[Translation done.]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.